

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

02192126 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE WITH BUILT-IN DRIVING CIRCUIT

PUB. NO.: 62-109026 [JP 62109026 A]

PUBLISHED: May 20, 1987 (19870520)

INVENTOR(s): OOTA MASAHIKO

SHINPO MASAFUMI

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 60-250130 [JP 85250130]

FILED: November 08, 1985 (19851108)

INTL CLASS: [4] G02F-001/133; G02F-001/133; G09F-009/35

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 628, Vol. 11, No. 324, Pg. 66,
October 22, 1987 (19871022)

ABSTRACT

PURPOSE: To simplify circuit constitution and to improve performance by using picture element switching transistors and transistors of reverse conduction type to the whole or part of transistors constituting a driving circuit and recrystallizing the channel region thereof by laser annealing, etc.

CONSTITUTION: The channel regions (for example, amorphous silicon) 2 are selectively formed on a substrate 1 and are then subjected to recrystallization such as laser annealing to selectively form thin film layers 3 containing a P type impurity for the purpose of contact. A gate insulating film (for example, low temperature grown insulating film) 4 is deposited and is opened with contact holes; thereafter, source electrodes and drain electrodes 5 and gate electrodes 6 are selectively formed. The P type TFT formed in such a manner is the TR of an enhancement type.

DIALOG(R)File 345:Inpadoc/Fam & Legal Stat

(c) 1999 European Patent Office. All rts. reserv.

6056793

Basic Patent (No, Kind, Date): JP 62109026 A2 870520 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE WITH BUILT-IN DRIVING CIRCUIT (English)

Patent Assignee: SEIKO INSTR & ELECTRONICS

Author (Inventor): OOTA MASAHIKO; SHINPO MASAFUMI

IPC: *G02F-001/133; G02F-001/133; G09F-009/35

JAPIO Reference No: *110324P000066;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62109026	A2	870520	JP 85250130	A	851108 (BASIC)

Priority Data (No, Kind, Date):

JP 85250130 A 851108

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-109026

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月20日

G 02 F 1/133

3 2 7

8205-2H

G 09 F 9/35

3 2 4

8205-2H

6731-5C

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 駆動回路内蔵型液晶表示装置

⑯ 特 願 昭60-250130

⑰ 出 願 昭60(1985)11月8日

⑱ 発 明 者 太 田 昌 彦 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 発 明 者 新 保 雅 文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑳ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

㉑ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称 駆動回路内蔵型液晶表示装置

2. 特許請求の範囲

1) 薄膜トランジスタをスイッチング素子として各画素に供えもつアクティブマトリクス型液晶表示装置において、該薄膜トランジスタアレイを有する基板もしくは対向基板に、トランジスタ駆動用の電気回路もしくはその一部を内蔵し、かつ該駆動回路がスイッチング用薄膜トランジスタと導電性を具とする薄膜トランジスタを含む集積回路によつて構成されていることを特徴とする駆動回路内蔵型液晶表示装置。

2) 該駆動回路を構成している薄膜トランジスタのうち少なくとも画素部のスイッチング用トランジスタと導電性を具とする薄膜トランジスタは、レーザなどでアニールのほどこされたチャネル領域を有していることを特徴とする特許請求の範囲第1項に記載の駆動回路内蔵型液晶表示装置。

3) 該駆動回路を構成する薄膜トランジスタのゲート絶縁膜がプラズマCVD法などによつて形成された固定電荷を 10^{14} 個/平方センチメートル以上有する絶縁膜であることを特徴とする特許請求の範囲第2項記載の駆動回路内蔵型液晶表示装置。

8. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、画素ごとに薄膜スイッチング用トランジスタを有したマトリクスアレイで構成される画面部と同一工程もしくは、それに準ずる同時形成法によつて作成した駆動回路部を合わせ持つ液晶表示装置において、前記駆動回路の駆動能力を増し、消費する電力を減少させ、より高性能な液晶表示装置を提供する構造に関する。

〔発明の概要〕

この発明は、固定電荷を一般的に熱酸化膜などと比べて多量に含んだ絶縁膜をゲート絶縁膜に使用した薄膜トランジスタ(以下TFTとも称す)をレーザ・アニールなどによつて移動度の改善を

特開2000-062-109026(2)

行ない、シフトレジスタやドライバートランジスタとして使用する場合、画素部のスイッチングトランジスタと逆導電型の薄膜トランジスタで構成させ、リーク電流の増大による悪影響やスレッショルド電圧の調整を行ない、効率的な駆動回路を内蔵した液晶表示装置を提供する。

〔従来の技術〕

画質において高品質、高コントラストの望めるアクティブマトリクス液晶表示装置は近年実用化が多く進められ、その有為性が実証されて来ている、但しまだ作成コストがその複雑な構造から高く工程削減やその他の低価格にむけての施策が数多くなされている、その一つに画素アレイを駆動する電気回路を液晶パネルにオンチップし外付けのICやそのICとパネルとの実装受を軽減させる方法が検討されている。但しここで駆動回路を構成する薄膜トランジスタは単結晶Siに近い移動度を有していなければ、その機能を充分果たせない。そのため駆動回路部の高移動度を必要とする部分の薄膜トランジスタを、レーザアニ-

アニール等によつて局在単位、界面単位などを減少させたチャネル領域への電流制御用ゲート絶縁膜に用いるとNチャネル型PMTの場合、極度のダイブリージョン型トランジスタとなつてしまい論理回路などを構成するにあつて非常に設計が困難である。そこでこの発明は、従来のこのような欠点を解決するため、駆動回路を構成する上で不具合を生じない様な薄膜トランジスタを提供することを目的としている。

〔問題点を解決するための手段〕

本発明は、前述の問題点を解決するために、画素に設けられたスイッチング用薄膜トランジスタと、逆導電型でかつレーザアニールなどで再結晶化されたチャネル領域を有する薄膜トランジスタを駆動回路を構成する各要素の全部もしくは一部に使用することによつて、回路構成は簡単でかつ性能の良い駆動回路を作り込むことができる

〔作用〕

前述したレーザアニールなどで再結晶化され

るなどで再結晶化させ移動度の増大を図る方法が考案されている。

第2図は、従来の駆動回路を構成するPMTの縦断面図で、透明基板1の上に形成されたチャネル領域(例えば非晶質シリコン)2をレーザアニールした後、N型の不純物を添加した半導体薄膜7を選択的に形成しゲート絶縁膜(例えばプラズマCVD法によつて形成した低圧成長絶縁膜)4を堆積した後コンタクトホールを開口しソース及びドレイン電極5とゲート電極6を形成する。

この様にして作成された薄膜トランジスタ(以下PMTとも称す)のドレイン電流-ゲート電圧特性は、第8図に示されるところでスレッショルド電圧 V_{th} は負の値となりダイブリージョン型トランジスタとなつている。

〔発明が解決しようとする問題点〕

プラズマCVD法などによつて形成された低圧成長絶縁膜は一般に固定電荷(10^{12} 個/平方センチメートル以上多いものは 10^{13} 個/平方センチメートル以上の正電荷)を多量に含んでおり、レーザ-

アニール等によつて局在単位、界面単位などを減少させたチャネル領域への電流制御用ゲート絶縁膜に用いるとNチャネル型PMTの場合、極度のダイブリージョン型トランジスタとなつてしまい論理回路などを構成するにあつて非常に設計が困難である。そこでこの発明は、従来のこのような欠点を解決するため、駆動回路を構成する上で不具合を生じない様な薄膜トランジスタを提供することを目的としている。

〔実施例〕

以下にこの発明の実施例を図面にもとづいて説明する。第1図において、基板1の上にチャネル領域(例えば非晶質シリコン)2を選択的に形成した後、レーザアニールなどの再結晶を施しコンタクトのためにP型不純物を含んだ薄膜層8を選択的に形成した後、ゲート絶縁膜(例えばプラズマCVD法によつて形成された低圧成長絶縁膜)4を堆積しコンタクトホール開口の後、ソース電極およびドレイン電極5とゲート電極6を選択的に形成する。以上のようにして作成され

特許62-103026(3)

たP型TFTはエンハンスメント型のトランジスタとなる。第4図に上記の構造のトランジスタのドレイン電流-ゲート電圧特性を示す。P型トランジスタ(ホールキャリア伝導)のため、ゲート電圧を負に加えた際ドレイン電流(絶対値)の増加が見られる。スレッショルド電圧 V_{th} は負の値となり明らかにエンハンスメント型トランジスタとなっている。

〔発明の効果〕

この発明は以上説明したように、駆動回路を構成するトランジスタの全部もしくは一部を、画素スイッチングトランジスタと逆導電型のトランジスタとしそのチャンネル領域をレーザアニールなどによつて再結晶化させることによつて、移動度の高いエンハンスメント型のTFTを得ることができる。このことにより駆動回路の構成(ダイアリジョン型トランジスタのみで駆動回路を構成しようとする、複雑となりかつ消費電力等も増大し性能もおちる)が非常に簡潔なものとなり、その上低消費電力でまた導電型の異なるトラン

ジスタの組合わせによつてより性能の向上も可能である。

4. 図面の簡単な説明

第1図は、本発明の駆動回路を構成するTFTの縦断面図で、第2図は、従来の駆動回路を構成するTFTの縦断面図で、第3図は従来の駆動回路を構成するTFTの電流-電圧特性を示すグラフで、第4図は本発明の駆動回路を構成するTFTの電流-電圧特性を示すグラフである。

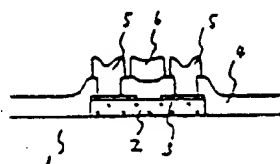
- 1 . . . 基板
- 2 . . . チャンネル領域
- 3 . . . P型不純物を含む薄膜層
- 4 . . . ゲート絶縁膜
- 5 . . . ソース・ドレイン電極
- 6 . . . ゲート電極
- 7 . . . N型不純物を含む薄膜層

以上

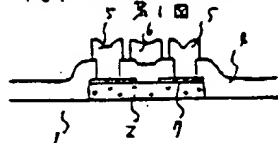
出願人 セイコー電子工業株式会社

代理人 井理士 最上

務

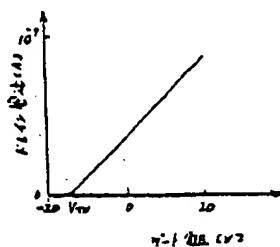


本発明の駆動回路を構成するTFTの縦断面図



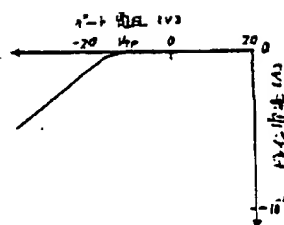
従来の駆動回路を構成するTFTの縦断面図

第2図



従来の駆動回路を構成するTFTの電流-電圧特性図

第3図



本発明の駆動回路を構成するTFTの電流-電圧特性図

第4図